

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-261036  
 (43)Date of publication of application : 03.10.1997

(51)Int.CI. H03K 19/0185

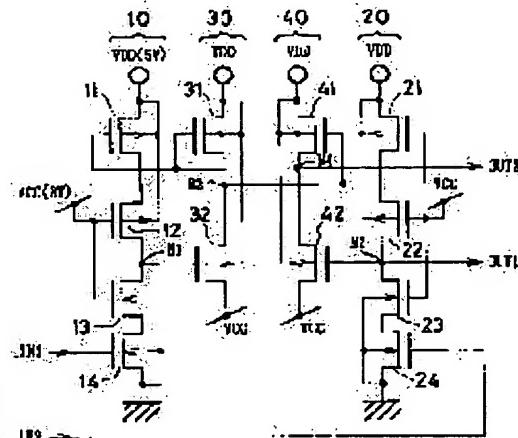
(21)Application number : 08-061091 (71)Applicant : TOSHIBA CORP  
 (22)Date of filing : 18.03.1996 (72)Inventor : SUZUKI HIROAKI  
 TANAKA YASUNORI

## (54) LEVEL CONVERSION CIRCUIT AND SEMICONDUCTOR INTEGRATED CIRCUIT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To suppress the increase of power consumption at a standstill time, to sufficiently improve driving performance and to operate at a high speed by providing first and second CMOS circuits and first and second intermediate circuits, so as to consist of only a MOS transistor in which the gate oxidized film breakdown strength on a level is lower than a high voltage power supply level.

**SOLUTION:** A CMOS circuit 10 consists of P-MOSs 11 and 12 serially connected between a 5V power supply and a node N1 and N-MOSs 13 and 14 serially connected between the node N1 and the ground. A CMOS circuit 20 is constituted of element constitution similar to the CMOS circuit 10 and on the other hand, an intermediate circuit 30 consists of P-MOS 31 connected to between the 5V power supply and a node N3 and applied with the output of an intermediate circuit 40 to its gate and P-MOS 32 connected to between the node N3 and the 3V power supply. Then all the MOS transistors constituting these respective circuits 10 to 40 are provided with a characteristic in which allowable gate oxidized film breakdown strength is lower than 5V and higher than 3V.



### LEGAL STATUS

[Date of request for examination] 07.09.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3258229

[Date of registration] 07.12.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office





のP-MOSを有する第1の中間回路と、前記高電圧電源と第3の出力ノードとの間に接続され前記第1の中間回路の第2の出力ノードの電位がゲートに印加される第5のP-MOS、及び前記第3の出力ノードと前記低電圧電源との間に接続され出力信号がゲートに印加される第6のP-MOSを有し、前記第3の出力ノードより前記第1の信号を出力する第2の中間回路と、前記高電圧電源と第4の出力ノードとの間に直列接続された前記第7及び第8のP-MOS、並びに前記第4の出力ノードと前記第6のP-MOSを有し、前記第3の出力ノードより印加される第5のN-MOSのゲートに前記入力信号の反転信号が印加され、前記第8のP-MOS及び前記第3のN-MOSの各ゲートに低電圧が共通して印加され、前記第4の出力ノードより前記出力信号として前記高電圧とグランド電圧との差値を有する信号を外部へ出力する第2のCMOS回路とを備有することにある。

は、上記第1の発明において、前記第1のCMOS回路における前記第1及び第2のPチャネル型MOSトランジスタの面積オーバー低抵抗、前記第1及び第2のNチャネル型MOSトランジスタの面積オーバー低抵抗よりも大きく設定され、前記第2のCMOS回路における前記第7及び第8のPチャネル型MOSトランジスタの面積オーバー低抵抗は、前記第3及び第4のNチャネル型MOSトランジスタの面積オーバー低抵抗よりも大きく設定すると共に、前記第1の中間回路における第3のPチャネル型MOSトランジスタのオーバー低抵抗よりも大きく設定したことである。上記第1の発明【0026】この第2の発明によれば、上記第1の発明の回路を正確に動作させることができる。

【0027】第3の発明であるレベル変換回路の特徴は、高電圧が印加される高電圧電源と第1の出力ノードとの間に直列接続された第1及び第2のPチャネル型MOSトランジスタ、並びに前記第1の出力ノードとグランドとの間に直列接続された第1及び第2のNチャネル型MOSトランジスタを有し、フルアップモードとして機能する前記第1のPチャネル型MOSトランジスタのゲートに第1の信号が印加され、フルダウンモードとして機能する前記第2のNチャネル型MOSトランジスタのゲートに接続された入力ノードに前記高電圧よりも低い低電圧とグランド電圧との間の電圧を有する入力信号が印加され、前記第2のPチャネル型MOSトランジスタ及び前記第1のNチャネル型MOSトランジスタの各ゲートに接続される第4のPチャネル型MOSトランジスタを有する第1の中間回路と、前記第1の中間回路の第2の出力ノードとの間に接続され前記第1の信号がゲートに印加される第4のPチャネル型MOSトランジスタ、及び前記第2の出力ノードと低電圧が印加される低電圧電源との間に接続され前記第1のCMOS回路の前記第1の出力ノードとの電圧がゲートに印加される第4のPチャネル型MOSトランジスタを有する第1の中間回路と、前記高電圧電源と第3の出力ノードとの間に接続され前記第1の中間回路の第2の出力ノードとの電圧がゲートに印加される第5のPチャネル型MOSトランジスタを有する第1の中間回路と、前記高電圧電源と第3の出力ノードとの間に接続され前記第1の中間回路の第2の出力ノードとの電圧がゲートに印加される第6のPチャネル型MOSトランジスタを有し、前記第3の出力ノードより前記第1の信号を出力する第2の中間回路と、前記高電圧電源と第4の出力ノードとの間に接続された第7のPチャネル型MOSトランジスタ、及び前記第3の出力ノードと前記電圧電源との間に接続され出力信号がゲートに印加される第6のPチャネル型MOSトランジスタを有し、前記第3の出力ノードより前記第1の信号を出力する第2の中間回路と、前記高電圧電源と第4の出力ノードとの間に接続する前記第7のPチャネル型MOSトランジスタを有し、フルアップモードとして機能する前記第1の中間回路の前記第2の出力ノードの電圧がゲートに印加され

トに印加される第4のPチャネル型MOSトランジスタを有する第1の中間回路と、前記高電圧電源と第3の出力ノードとの間に接続され前記第1の中間回路の第2の出力ノードの電位がゲートに印加される第5のPチャネル型MOSトランジスタと前記高電圧電源との間に接続され出力信号がゲートに印加される第6のPチャネル型MOSトランジスタを有し、前記第3の出力ノードより前記第1の信号を出力する第2の中間回路と、前記高電圧電源と第4の出力ノードとの間に直列接続された前記第7及び第8のPチャネル型MOSトランジスタ、並びに前記第4の出力ノードとの間に接続された第2のNチャネル型MOSトランジスタを有し、フルアップ用として機能する前記第7のPチャネル型MOSトランジスタのゲートに印加された前記第1の中間回路の前記第2の出力ノードの電位が印加され、且つフルダウン用として機能する前記第8のNチャネル型MOSトランジスタのソースに接続された第2のNチャネル型MOSトランジスタのソースに接続された印加された前記第2の入力ノードに前記入力信号の反転信号が印加され、前記第8のPチャネル型MOSトランジスタの各ゲート及び前記第2のNチャネル型MOSトランジスタの各ゲートにより前記出力信号として前記高電圧とグランピング電圧の間の振幅を有する信号を外部へ出力する第2のCMOS回路とを備えたことにある。

[0032] この第5の発明によれば、上記第1の発明における第2及び第4のN-MOSを省略することができる。入力信号がグラントレベル（“0”レベル）である場合は、第1のN-MOSがオンし、その後は上記第1の発明と同様の作用を行へ、高電圧レベル（“1”レベル）の出力信号が印加される。この状態では、この状態では、第1、第3及び第6のP-MOSと第2のN-MOSがオフ状態にあるので、本レベル変換回路内に静的電容量流体バスは存在しない。また、入力信号がグラントレベルから高電圧レベル（“1”レベル）へ変化した場合は、第1のN-MOSはオフし、第2のN-MOSがオンして、その後は、第1の発明と同様の作用を行ひ、グラントレベルの出力信号が印加される。この第5の発明も、許容ゲート耐圧電圧が高電圧電源よりも低いMOSトランジスタのみで回路を構成することができ、前述の第3の従来回路よりも高速に動作し、加えて負荷駆動能力の低下も抑えられる。

[0033] 第6の発明におけるレベル変換回路の特徴は、上記第1乃至第5の発明において、前記第4及び第5の発明の回路の適用範囲が広くなる。

[0034] 第7の発明であるレベル変換回路の特徴は、上記第1乃至第6の発明において、前記第4及び第5の発明の回路の適用範囲が広くなる。

[0035] 第7の発明であるレベル変換回路の特徴は、上記第1乃至第6の発明において、前記第4及び第5の発明の回路の適用範囲が広くなる。

6のPチャネル型MOSトランジスタのサブストレートをそれぞれのソース側に接続して、他のPチャネル型MOSトランジスタのサブストレートと分離したことによる。

[0036] この第7の発明であるレベル変換回路において、低電圧が印加されれば、第4及び第6のP-MOSのゲート電圧への寄与を一層軽減することができる。

[0037] 第8の発明であるレベル変換回路の特徴は、上記第1乃至第7の発明において、低電圧が印加される低電圧電圧とグランドとの間に接続され前記低電圧とグランド電圧との間に接続する信号を出力する電源回路と、前記低電圧回路から出力された信号を前記低電圧よりも高い高電圧とグランド電圧との間に接続する信号にレベル変換するレベル変換回路とを備え、半導体集積回路において、前記レベル変換回路は、上記第1乃至第7の発明のレベル変換回路で構成したことによる。

[0038] この第8の発明によれば、集積化されたベル変換回路において、上記第1乃至第7の発明と同様の作用を奏す。

レート (N型ウェル領域) は、P-MOS 1 のサブストレート (N型ウェル領域) と共に 5V 電源に接続され、N-MOS 1 のサブストレートは、N-MOS 4 のサブストレートと共にグランドに接続されている。

[0043] CMOS 回路 2 は、上記 CMOS 回路 1 と同様の素子構成で、5V 電源ヒノード N2 との間に直列接続された P-MOS 2, 2, 2 と、ノード N2 ヒグランドとの間に並列接続された N-MOS 2, 3, 2, 4 で構成されている。フルアップ用として機能する P-MOS 2 のゲートには前記中間回路 3 の出力が印加され、フルダウン用として機能する N-MOS 2, 4 のゲートには前記入力信号 I/N1 の反転信号 I/N2 が印加されるようになっている。

[0044] 一方、中間回路 3 は、5V 電源ヒノード N3 との間に接続され前記中間回路 4 の出力 (第 1 の信号) がゲートに印加される P-MOS 3, 1 と、前記ノード N3 と 3V 電源との間に接続され前記 CMOS 回路 1 のノード N1 の電位がゲートに印加される P-MOS 3, 2 とで構成されている。また、P-MOS 3, 1 のサブストレーは、P-MOS 3, 2 のサブストレートと共に 5V 電源に接続されている。

[0045] 中間回路 4 は、上記中間回路 3 と同様の素子構成で、5V 電源ヒノード N4 との間に接続され前記中間回路 3 のノード N3 の電位がゲートに印加される P-MOS 4, 1 と、ノード N4 と 3V 電源との間に接続され出力信号 OUT 1 がゲートに印加される P-MOS 4, 2 とで構成されている。

[0046] そして、CMOS 回路 2 のノード N2 上り、5V ("1" レベル) ~ 0V ("0" レベル) の振幅で入力信号 I/N1 と同相の出力信号 OUT 1 が出力され、加えて中間回路 4 のノード N4 より、5V ("1" レベル) ~ 3V ("0" レベル) 両の振幅を有し入力信号 I/N1 と同相の出力信号 OUT 2 が出力されるようになっている。

[0047] ここで、本回路を正確に動作させるために、各トランジスタのオン抵抗は次のような条件に設定されている。すなわち、CMOS 回路 1 における P-MOS 1, 1, 2 の直列オノン抵抗は、N-MOS 1, 3, 1, 4 の直列オノン抵抗よりも大きくなるように、各々のトランジスタのディメンジョンが既定されている。同様の設定が CMOS 回路 2 における P-MOS 2, 1, 2, 2 と N-MOS 2, 3, 2, 4 との間にもなされている。さらに、中間回路 3 における P-MOS 3, 1 のオノン抵抗は P-MOS 3, 2 のオノン抵抗よりも大きくなるように、また中間回路 4 における P-MOS 4, 1 のオノン抵抗は P-MOS 4, 2 のオノン抵抗よりも大きくなるように、各々のトランジスタのディメンジョンが既定されている。

[0048] 次に、以上のように構成されるレベル変換回路の動作を説明する。

[10049] まず、3V(1レベル)の入力信号INが供給された場合の動作を説明する。入力信号IN1がゲート1に3V(1レベル)であると、この信号IN1がゲート1に印加されるN-MOS1はオンし、上記オシilloscopeの結果からノードN1は0Vに近い電圧を出力する。その結果、P-MOS3がオフし、ノードN3は3Vに近い電圧を出力し、P-MOS41, 21がオフする。

[10050]一方、N-MOS24のゲートには、0V(0レベル)の入力信号IN2が印加されるので、N-MOS24はオフし、ノードN2の電圧は5Vとなる。その結果、P-MOS42がオフし、P-MOS41はオフしているのでノードN4の電圧は5Vになる。ノードN4の電圧が5Vになると、P-MOS11, 31はオフし、ノードN1の電圧は0Vになり、ノードN3の電圧は3Vとなる。従って、出力信号OUT1及びOUT2は、5V(1レベル)となる。

[0051] なお、この状態において、P-MOS1, 31, 42及びN-MOS24はオフしているので、このレベル変換回路内に静的な直流電源バスは存在しない。

[10052] 次に入力信号IN1が3V('1'レベル)から0V(0レベル)に変化した場合の動作を説明する。

[10053] N-MOS14はオフし、且つP-MOS11もオフしているので、ノードN1の電圧はまだならない。しかし、入力信号IN2は3V(1レベル)であるため、N-MOS24がオンし、このときP-MOS21もオンしているが、ノードN2の電圧は0Vに近いものとなる。その結果としてP-MOS42がオフし、このときP-MOS41もオフしているが、ノードN4は3Vに近い電圧になる。

[10054] ノードN4が3Vに近い電圧になると、PMOS13, 31がオンし、ノードN1は、N-MOS14が既にオフしているので5Vを出力する。その結果、P-MOS32もオフし、ノードN3の電圧は立ち上がり5Vとなるため、P-MOS41, 21はオフする。そのため、ノードN2は0Vを出力し、ノードN4は3Vを出力する。従って、出力信号OUT1は0V(0レベル)、出力信号OUT2は3V(1レベル)が出力される。

[10055] このような動作において、各トランジスタのゲートとソースまたはドレインあるいはサブストレートとの間に3Vを越える電圧が印加されることはない。但し、P-MOS32及びP-MOS42には、5Vから-5Vの範囲の電圧が加わり、0Vが加わる時に過渡的に3Vを越える電圧がゲート酸化膜に加わるが、静止状態では、該MOSトランジスタはオンし、ソース・ドレイン間に3V電圧に接続されたチャネルが形成され、基板電位の5Vはゲート酸化膜からシールドされるので、このゲート酸化膜は静的に3Vを越える電圧は加わらない。

ない。  
【0056】このように本実施形態のレベル変換回路では、上記各トランジスタのゲート駆動回路には静的に $3V$ を超える電圧が加わらないため、許容ゲート駆動電圧範囲由が $5V$ よりも低いMOSトランジスタのみで回路を構成することができる。これにより、製造プロセスを複雑にすることなく低消費電力のレベル変換回路を実現することができる。さらに、与えられた電源レベルを、オシレータ等の測定装置で測定する場合、MOSトランジスタのゲート駆動回路を構成するMOSトランジスタのゲート電圧の値を直接測定することができる。  
【0057】また、本実施形態では、低電圧レベルは全 $3V$ にならざるを得ない。したがって $2V$ の電圧が他の存在するならば、P-MOS<sub>2,1</sub>及びP-MOS<sub>2,2</sub>のゲートのみを $2V$ 電源部に接続しても、またP-MOS<sub>3,2</sub>及びP-MOS<sub>4,2</sub>のドレンのみを $2V$ 電源部に接続しても回路は正常に動作する。 $3V$ 電源に接続されている端子を個別に他の低電圧レベルに接続することにより、トランジスタのオン抵抗を調整し、ディメンジョンの設定に自由度を持たせることができる。  
【0058】図21は、本発明の第2実施形態に係るレベル変換回路の回路図であり、図1と共通の要素には同じ付符号が付されている(第3の説明に対応)。  
【0059】上記図に示す構成において、N-MOS<sub>2,3</sub>のソースに、直角 $0V$ から $3V$ の遮断を待った入力信号を接続しても回路動作が損なわれることはない。このようなことから、本実施形態は、図1に示す回路のN-MOS<sub>2,4</sub>を省略した場合の例を示している。すなはち、上記CMOS回路<sub>2,0</sub>に代えて設けられたCMOS回路<sub>2,0'</sub>は、N-MOS<sub>2,4</sub>を省略してN-MOS<sub>2,3</sub>のソースに直角、入力信号<sub>1-N</sub>を印加した構成となっている。  
【0060】このレベル変換回路によれば、入力信号<sub>1-N</sub>が $3V$ (“ $1$ ”レベル)である場合は、上記第1実施形態と同様の動作を行い、 $5V$ (“ $1$ ”レベル)の出力信号OUT<sub>1</sub>及び $2$ がに出力される。この状態では、P-MOS<sub>1,1</sub>、<sub>3,1</sub>、<sub>4,2</sub>がオフ状態であり、N-MOS<sub>2,3</sub>もオフしているため、本レベル変換回路内に静的な直角電流パスは存在しない。一方、入力信号<sub>1-N</sub>が $3V$ (“ $1$ ”レベル)から $0V$ (“ $0$ ”レベル)へ変化した場合は、N-MOS<sub>1,4</sub>がオフし、N-MOS<sub>2,3</sub>がオンするので、第1実施形態と同様に出力信号OUT<sub>1</sub>が $0V$ (“ $0$ ”レベル)に、出力信号OUT<sub>2</sub>が $3V$ (“ $0$ ”レベル)に変化する。  
【0061】本実施形態では、上記第1実施形態と同様の利点を有するほか、図1に示すN-MOS<sub>2,4</sub>を省略でき、且つ入力信号を1種類とすることで、第1実施形態よりも構成が簡素化される。

[0062] 図3は、本発明の第3実施形態に係るい ル変換回路の回路図であり、図1と共通の要素には同 様の符号が付されている(第4の発明に応じ)。

[0063] 上記図1に示す構成において、N-MOSFET 1のソースに、直接0Vから3Vの端端を持った入 信号を接続しても回路動作が損なわれることはない。 このようなことから、本実施形態は、図1に示す回路の 一MOSFETを省略した場合の例を示している。すなわち、上記CMOS回路10に代えて設けられたCMOS 回路10'は、N-MOSFET14を省略してN-MOSFET 3のソースに直接、入力信号IN2を印加した構成とな っている。

[0064] このレベル変換回路によれば、入力信号 IN2が0V("0"レベル)であるときには、N-MOSFET 13がオンし、その後は上記第1実施形態と同様の動作が行われ、5V("1"レベル)の出力信号OUT1 及びOUT2が印加される。この状態では、P-MOSFET 11、31、42及びN-MOSFET24がオフ状態にあり、そのため、本レベル変換回路内に静的な直流通電流バスは存 在しない。

[0065] 一方、入力信号IN2が5V("0"レ ブル)から3V("1"レベル)へ変化した場合は、N- MOSFET13がオフする一方で、N-MOSFET24がオン し、その後は第1実施形態と同様の動作が行われ、出 力信号OUT1及びOUT2が印加される。

[0066] [0067] 本実施形態では、上記第1実施形態と同 様の利点を有するほか、図1に示すN-MOSFET14を省 省略するので、出力信号を1種類とすることでできるので、 第1実施形態よりも構成が簡素化される。

[0068] 図4は、本発明の第4実施形態に係るレ ブル変換回路の回路図であり、図1と共通の要素には同 様の符号が付されている(第5の発明に応じ)。

[0069] 上記図1に示す構成において、N-MOSFET 13及びN-MOSFET23のソースに、直接V<sub>dd</sub>から3V の端端を持つ入力信号を接続しても回路動作が損なわ れることはない。このようなことから、本実施形態は、図1に示す回路のN-MOSFET14及びN-MOSFET24を省 省略した場合の例を示している。すなわち、上記CMOS 回路10及び20に代えて設けられたCMOS回路 10'は、N-MOSFET4及び24を省略してN-MOSFET3及び N13がオンし、その後は上記第1実施形態と同様の動作が行わ、5V("1"レベル)の出力信号OUT1及び OUT2が印加される。このとき、P-MOSFET11及び

ている。プリバッファ回路6 01は、P-MOS 6, 6, 2で構成され、5V～3V間の電圧の信号をP-MOS 7, 1に供給し、またメインバッファ回路7 01は、P-MOS 7, 1, 7, 2及びN-MOS 7, 3, 7, 4で構成され、その出力に接続された出力バッファ8 0から並列回路の外部へ出力信号O-UJTを出力するようになっている。

[0079] 次に、動作を説明する。イネーブル端子5 2に5V(0レベル)が与えられると、P-MOS 7, 1 2に5V(0レベル)、N-MOS 7, 4には0V(0レベル)が印加され、出力バッファ8 0は5V(1レベル)となる。

[0080] また、イネーブル端子5 2に3V(1レベル)が印加され、出力バッファ8 0は5V(1レベル)が印加され、出力バッファ8 0は0V(0レベル)となり、トライステートバッファとして機能する。

[0081] なお、P-MOS 7, 1のゲートを、レベル変換回路における中間回路4 0の出力ノードN 4(OUP 2)に接続することにより、プリバッファ回路7 0を省略することも可能である。

[0083] 電源の組合において説明をしたが、0, 2.5μmデバイス世代では、ゲート酸化膜耐圧が3, 3V以下になることが予想され、そのデバイス世代において、高電圧が3, 3V、低電圧が2Vというような組み合わせで本発明を適用することも可能である。

2.4 第3または第4のN-MOS  
3.1 第3の出力ノード  
3.2 第4のP-MOS  
4.1 第5のP-MOS  
4.2 第6のP-MOS  
N 1 第1の出力ノード  
N 2 第4の出力ノード

[0085] 第3の発明であるレベル変換回路によれば、上記第1の発明よりも簡単な構成で同様の効果を得ることができる。

[0086] 第4の発明であるレベル変換回路によれば、上記第1の発明よりも簡単な構成で同様の効果を得ることができる。

[0087] 第5の発明であるレベル変換回路によれば、上記第1の発明よりも簡単な構成で同様の効果を得ることができる。

[0088] 第6の発明であるレベル変換回路によれば、上記第1乃至第5の発明の回路において、第4及び第6のP-MOSのゲート酸化膜への負荷を一層低減することができる。

[0089] 第7の発明であるレベル変換回路によれば、上記第1乃至第6の発明の回路において、第4及び第6のP-MOSのゲート酸化膜への負荷を一層低減することができる。

[0090] 第8の発明である半導体基板回路によれば、集積化されたレベル変換回路において、上記第1乃至第7の発明と同様の効果を得ることができる。

[0091] 第9の発明である半導体基板回路によれば、集積化されたレベル変換回路において、上記第1乃至第7の発明と同様の効果を得ることができる。

[0092] 第10の発明である半導体基板回路によれば、集積化されたレベル変換回路において、上記第1乃至第7の発明と同様の効果を得ることができる。

[図1] 本発明の第6実施形態に係る半導体基板回路の回路図である。

[図2] 本発明の第2実施形態に係るレベル変換回路の回路図である。

[図3] 本発明の第3実施形態に係るレベル変換回路の回路図である。

[図4] 本発明の第4実施形態に係るレベル変換回路の回路図である。

[図5] 本発明の第5実施形態に係るレベル変換回路の回路図である。

[図6] 本発明の第6実施形態に係る半導体基板回路の回路図である。

[図7] 従来のレベル変換回路の構成を示す回路図である(第1の従来回路)。

[図8] 従来のレベル変換回路の構成を示す回路図である(第2の従来回路)。

[図9] 従来のレベル変換回路の構成を示す回路図である(第3の従来回路)。

[図10] 第1のCMOS回路

[図11] 第2のCMOS回路

[図12] 第1の中間回路

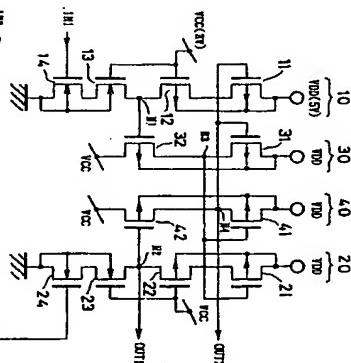
[図13] 第1のN-MOS

[図14] 第2のN-MOS

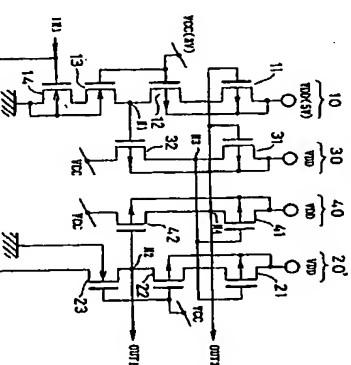
2.1 第7のP-MOS

2.2 第8のP-MOS

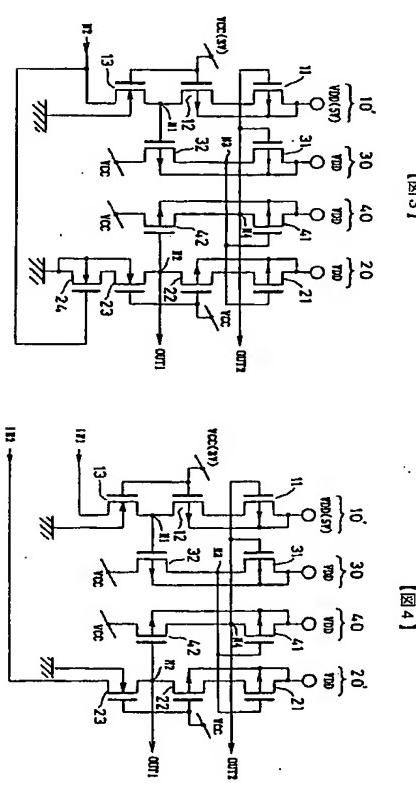
2.3 第2または第3のN-MOS



[図1]

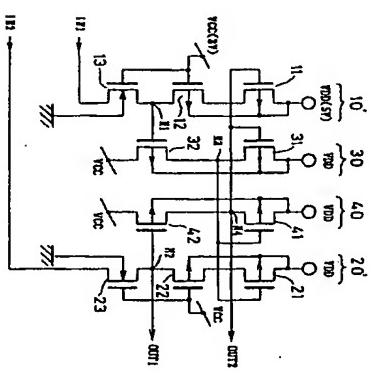


[図2]



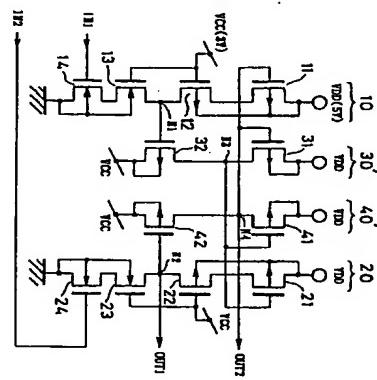
[図3]

[図4]

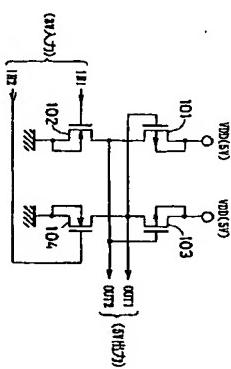


[図5]

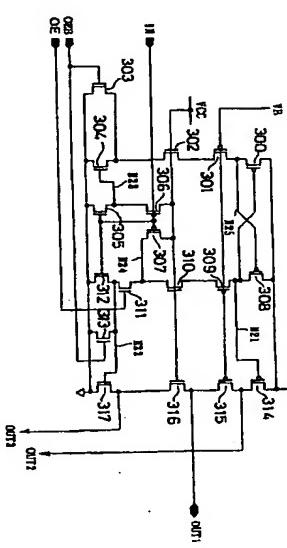
N 3 第2に出力ノード  
N 4 第3の出力ノード  
V DD 5V電源  
V CC 3V電源  
I N 1 入力端子  
I N 2 入力信号IN1の反転信号



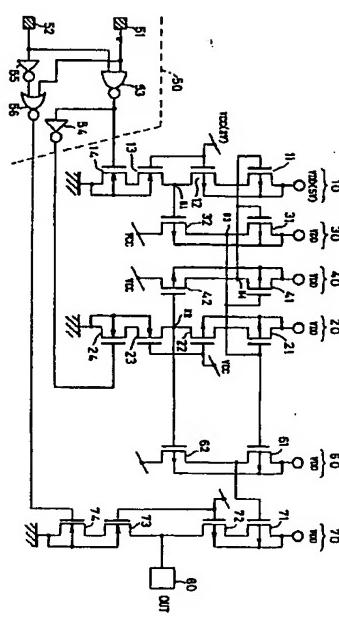
5



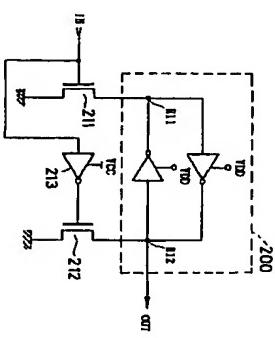
[四] 7



[6]



[四九]



一